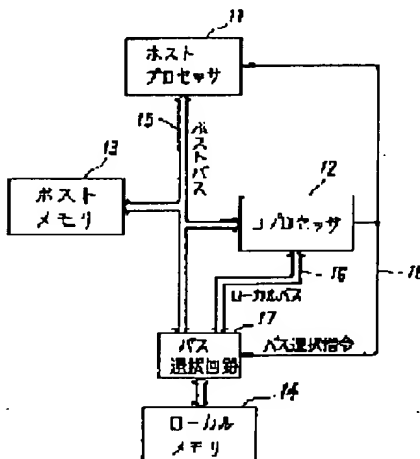


1/1 JAPIO - (C) JPO- image
 PN - JP 07175759 A 19950714 [JP07175759]
 TI - MULTIPROCESSOR SYSTEM
 IN - YOSHIDA MINORU; TOMITA SHIGEHIO; AKAHORI MASAYUKI; FUJIWARA TOKURO
 PA - NIPPON STEEL CORP; KAPUKON:KK
 AP - JP34340993 19931216 [1993JP-0343409]
 IC1 - G06F-015/16
 IC2 - G06F-015/16 G06F-013/16
 AB - PURPOSE: To provide a multiprocessor system with high processing speed which is composed of a host processor and a co-processor, etc., operated in accordance with the command of the host processor.
 - CONSTITUTION: This multiprocessor system is provided with a first memory (a host memory 13, etc.) to be accessed by only a first processor (a host processor 11, etc.), a second memory (a local memory 14, etc.) to be accessed by the both of the first processor 11 and a second processor (a co-processor 12, etc.), a first bus (a host bus 15, etc.) to be connected with the first and second processors 11 and 12 and the first memory 13, a second bus (a local bus 16, etc.) to be connected with the second processor 12 and a bus selection circuit 17 selectively connecting either one of the first and second buses 15 and 16 with the second memory 14.
 - COPYRIGHT: (C)1995, JPO

Click on image to view Tiff



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-175759

(43) 公開日 平成7年(1995)7月14日

(51) Int.Cl.⁶

G 0 6 F 15/16

識別記号

庁内整理番号

F I

技術表示箇所

3 7 0 Z

13/16

5 1 0 C 9366-5B

G 0 6 F 15/ 16

4 0 0 M

審査請求 未請求 請求項の数 5 F D (全 6 頁)

(21) 出願番号

特願平5-343409

(22) 出願日

平成5年(1993)12月16日

(71) 出願人 000006855

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(71) 出願人 000129149

株式会社カプコン

大阪府中央区内平野町3丁目1番3号

(72) 発明者 吉田 稔

東京都千代田区大手町二丁目6番3号 新

日本製鐵株式会社内

(72) 発明者 富田 稔太

東京都千代田区大手町二丁目6番3号 新

日本製鐵株式会社内

(74) 代理人 弁理士 櫻井 俊彦

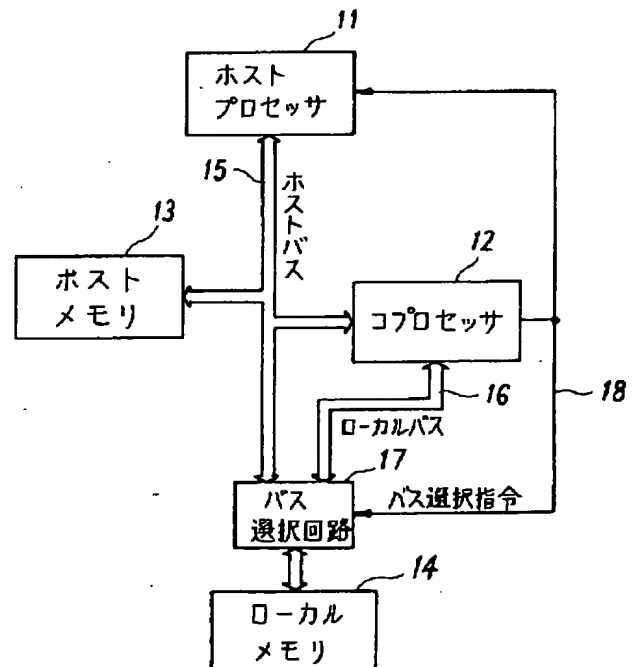
最終頁に続く

(54) 【発明の名称】 マルチプロセッサ・システム

(57) 【要約】

〔目的〕 ホストプロセッサと、このホストプロセッサの指令に従って動作するコプロセッサなどから成る処理速度の大きなマルチプロセッサ・システムを提供する。

〔構成〕 第1のプロセッサ(ホストプロセッサ11など)のみによってアクセスされる第1のメモリ(ホストメモリ13など)と、上記第1のプロセッサ(11)及び第2のプロセッサ(コプロセッサ12など)の双方によってアクセスされる第2のメモリ(ローカルメモリ14など)と、上記第1、第2のプロセッサ(11, 12)と第1のメモリ(13)とに接続される第1のバス(ホストバス15など)と、第2のプロセッサ(12)に接続される第2のバス(ローカルバス16など)と、第1、第2のバスの双方(15, 16)の一方を第2のメモリ(14)に選択的に接続するバス選択回路(17)とを備える。



【特許請求の範囲】

【請求項 1】 第 1 のプロセッサと、この第 1 のプロセッサの指令に従って動作する第 2 のプロセッサとを備えたマルチプロセッサ・システムにおいて、

前記第 1 のプロセッサのみによってアクセスされる第 1 のメモリと、

前記第 1、第 2 のプロセッサの双方によってアクセスされる第 2 のメモリと、

前記第 1、第 2 のプロセッサと、前記第 1 のメモリとに接続される第 1 のバスと、

前記第 2 のプロセッサに接続される第 2 のバスと、

前記第 1、第 2 のバス的一方を、前記第 2 のメモリに選択的に接続するバス選択回路とを備えたことを特徴とするマルチプロセッサ・システム。

【請求項 2】 請求項 1 において、

前記第 2 のプロセッサは、前記バス選択回路に前記接続の選択を指令する手段を備えたことを特徴とするマルチプロセッサ・システム。

【請求項 3】 請求項 1 又は 2 において、

前記第 1 のプロセッサは、前記第 2 のプロセッサによる前記第 2 のメモリへのアクセスを中断させる手段を備えたことを特徴とするマルチプロセッサ・システム。

【請求項 4】 請求項 1 乃至 3 において、

前記第 2 のプロセッサは、キャッシュメモリと、前記第 2 のメモリへのアクセスをこのキャッシュメモリとの間の DMA 転送によって行う手段を備えたことを特徴とするマルチプロセッサ・システム。

【請求項 5】 請求項 1 乃至 4 において、

前記第 1 のプロセッサは、プログラム及びデータ又はその一方を前記第 1 のメモリと第 2 のメモリとの間で DMA 転送させる手段を備えたことを特徴とするマルチプロセッサ・システム。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、ゲーム機などに利用されるマルチプロセッサ・システムに関するものである。

【0002】

【従来の技術】 ゲーム機などのコンピュータシステムでは、遊戯者が入力したコマンドなどに従って表示画面の変更処理などを実行するホストプロセッサと、このホストプロセッサの指令に従い表示データの作成など特定の処理に専念するコプロセッサとから成るマルチプロセッサ・システムの形態が採用されることが多い。このような主従関係を有する機能分散型のマルチプロセッサ・システムは、図 2 に示すように、ホストプロセッサ 21 と、コプロセッサ 22 と、これらのプロセッサ 21、22 によってアクセスされる共有メモリ 23 とがシステムバス 24 を介して相互に接続された構成となっている。共有メモリ 23 は、ホストプロセッサ 21 とコプロセッサ 22 が実行するプログラムや処理対象のデータを保持

したり、ホストプロセッサ 21 とコプロセッサ 22 との間の転送データを中継したりするのに使用される。すなわち、コプロセッサ 22 が処理したデータは一旦共有メモリ 23 に書込まれ、この書込みデータがホストプロセッサ 21 によって読出される。

【0003】 図 2 に示すようなマルチプロセッサ・システムでは、ホストプロセッサ 21 とコプロセッサ 22 とによる共有メモリ 23 へのアクセスの競合を解決する必要がある。この競合解決方法の典型的な一例として、ホストプロセッサ 21 にメモリアクセスに関する優先権を付与するものがある。すなわち、ホストプロセッサ 21 による共有メモリ 23 のアクセス中はコプロセッサ 22 による共有メモリ 23 へのアクセスが禁止される。更に、コプロセッサ 22 による共有メモリ 23 へのアクセス中にホストプロセッサ 21 によるメモリ 23 へのアクセスが必要になると、ホストプロセッサ 21 の制御によってコプロセッサ 22 がホールド状態やウエイト状態に移行せしめられ、コプロセッサ 22 による共有メモリ 23 へのアクセスが中断され、ホストプロセッサ 21 による共有メモリ 23 のアクセスが開始される。

【0004】

【発明が解決しようとする課題】 上記従来のマルチプロセッサ・システムでは、ホストプロセッサによる共有メモリのアクセス期間中はコプロセッサによる共有メモリのアクセスが禁止されるため、コプロセッサのメモリアクセス時の待ち時間が増大する。この結果、コプロセッサの処理終了に対するホストプロセッサ側の待ち時間も増大し、マルチプロセッサ・システム全体の処理速度が低下するという問題がある。従って、本発明の目的は、システム全体の処理速度を向上できるマルチプロセッサ・システムを提供することにある。

【0005】

【課題を解決するための手段】 上記従来技術の問題点を解決する本発明のマルチプロセッサ・システムは、ホストプロセッサなどの第 1 のプロセッサと、この第 1 のプロセッサの指令に従って動作するコプロセッサなどの第 2 のプロセッサとを備えている。さらに、このマルチプロセッサ・システムは、第 1 のプロセッサのみによってアクセスされるホストメモリなどの第 1 のメモリと、第 1、第 2 のプロセッサの双方によってアクセスされるローカルメモリなどの第 2 のメモリを備えている。さらに、このマルチプロセッサ・システムは、第 1、第 2 のプロセッサと第 1 のメモリとに接続されるホストバスなどの第 1 のバスと、第 2 のプロセッサに接続されるローカルバスなどの第 2 のバスと、これら第 1、第 2 のバス的一方を、第 2 のメモリに選択的に接続するバス選択回路とを備えている。

【0006】

【作用】 本発明のマルチプロセッサ・システムによれば、従来のシステムにおける共有メモリがホストメモリ

(第1のメモリ)とローカルメモリ(第2のメモリ)とに分離される。ホストメモリは、ホストプロセッサ(第1のプロセッサ)のみによってホストバスを介してアクセスされると共に、ローカルメモリはホストプロセッサとコプロセッサ(第2のプロセッサ)の双方によって選択的にアクセスされる。コプロセッサによるローカルメモリへのアクセスはローカルバスとバス選択回路とを介して実行される。また、コプロセッサが処理したデータの受取りなどに必要なホストメモリによるローカルメモリへのアクセスは、ホストバスとバス選択回路とを介して行われる。すなわち、両プロセッサによるアクセス対象のメモリが原則的には分離されると共に、プロセッサ間のデータの授受に必要な両プロセッサによるローカルメモリへのアクセスがバス選択回路によって時分割的に実行可能とされる。この結果、ホストプロセッサによるホストメモリへのアクセスと並行してコプロセッサによるローカルメモリへのアクセスが可能となり、コプロセッサによるメモリアクセス待ち時間が短縮され、システム全体の処理速度が向上する。以下、本発明を実施例と共に更に詳細に説明する。

【0007】

【実施例】図1は、本発明の一実施例のマルチプロセッサ・システムの構成を示すブロック図であり、11はホストプロセッサ、12はコプロセッサ、13はホストメモリ、14はローカルメモリ、15はホストバス、16はローカルバス、17はバス選択回路、18はバス選択指令信号線である。

【0008】ホストプロセッサ13には、ホストプロセッサ11によって実行される処理プログラムや、ホストプロセッサ11によって処理されるデータやその処理済みデータなどが格納される。ローカルメモリ14には、コプロセッサ12によって実行される処理プログラムや、コプロセッサ12によって処理されるデータやその処理済みデータなどが格納される。ホストプロセッサ11は、ホストメモリ13に格納されている処理プログラムや処理対象データをホストバス15を介してDMA転送によって内蔵のキャッシュメモリなどに読み込み、データの処理を実行し、その処理済みデータをホストバス15を介してDMA転送によってホストメモリ13に書込む。

【0009】コプロセッサ12は、ホストバス15を介してホストプロセッサ11から受けた指令に従い、ローカルメモリ14へのアクセスを含むデータ処理を実行する。コプロセッサ12は、ローカルメモリ14に格納中の処理データやこれに必要な処理プログラムをローカルバス16とバス選択回路17とを介して内蔵のキャッシュメモリにDMA転送によって読み込み、この読み込んだ処理プログラムに従ってデータの処理を実行し、この処理済みデータを一旦内蔵のキャッシュメモリに格納する。コプロセッサ12は、内蔵のキャッシュメモリに格納中の一連

の処理済みデータをローカルバス16とバス選択回路17とを介してDMA転送によってローカルメモリ14に書込む。

【0010】コプロセッサ12は、上記ローカルメモリ14へのDMA転送によるアクセスに先立って、バス選択指令信号線18上の選択指令をローからハイに立上げる。このバス選択指令のローからハイへの立上がりを検出したバス選択回路17は、ローカルメモリ14をホストバス15から切離してローカルバス16に接続する。コプロセッサ12は、ローカルメモリ14へのDMA転送によるアクセスが終了すると、バス選択指令信号線18上の選択指令をハイからローに立下げる。このバス選択指令のローへの立下がりを検出したバス選択回路17は、ローカルメモリ14をローカルバス16から切離してホストバス15に接続する。

【0011】このように、コプロセッサ12にキャッシュメモリを内蔵させると共に、ローカルメモリ14からのプログラムや処理対象データの読出しや、ローカルメモリ14への処理済みデータの書込みなどをDMA転送によって行わせることにより、メモリアクセス期間の離散化と、メモリアクセス時間の短縮とが可能になる。また、ホストプログラム11は、コプロセッサ12によるローカルメモリ14へのアクセスタイミングに加えてアクセス所要時間を精度良く評価できるため、自プロセッサによる処理と並行してコプロセッサ12に一括処理させるデータ量の最適化が容易になり、システム全体の処理能力が大幅に向上する。

【0012】コプロセッサ12からバス選択回路17に供給されるバス選択指令は、信号線18を介してホストプロセッサ11にも通知される。ホストプロセッサは、バス選択指令信号線18のハイ/ローの状態を検査することにより、コプロセッサ12がローカルメモリ14をアクセス中であるか否かを検出する。ホストプロセッサ11は、ローカルメモリ14からコプロセッサ12が書込んだ処理済みデータなどを読出す際に、バス選択指令信号線18上のバス選択指令を検査する。ホストプロセッサ11は、バス選択指令がロー状態にあることからコプロセッサ12がローカルメモリ14をアクセス中ではないと判定すると、ローメモリ14からバス選択回路17とホストバス15を介してDMA転送によって処理済みデータなどを読出し、内蔵のキャッシュメモリに格納する。

【0013】上述のように、バス選択指令がコプロセッサ12から発せられる構成であるため、外見的には、ローカルメモリ14に対するアクセスの主導権がコプロセッサ12に付与されたかのように見える。しかしながら、ローカルメモリ14に対するコプロセッサ12のアクセスは、そもそもホストプロセッサ11の指令に従って実行される処理に付帯して(例えば、そのような処理の最初の部分と最後の部分に)行われるものであるか

ら、メモリアクセスに関する実質的な主導権は、依然としてホストメモリ 11 側にある。このように、処理の主導権をホストプロセッサ 11 に付与すると共に、この処理に付帯するローカルメモリ 14 へのアクセスに関する主導権をコプロセッサ 12 に付与するという分散方式を採用することにより、両者をホストプロセッサ 11 に集中して付与する従来の方式に比べて、ホストプロセッサ 11 の主導権を実質的に損なうことなくコプロセッサ 12 の動作上の制約を緩和でき、システム全体の処理能力を向上できる。

【0014】なお、ローカルメモリ 14 へのアクセスに関する主導権をコプロセッサ 12 に付与したことに伴い、遊戯者のキー入力などに即して表示画面の変更などを行うホストプロセッサ 11 の処理に支障を来すおそれがある。そこで、コプロセッサ 12 によるローカルメモリ 14 へのアクセスの続行中にホストプロセッサ 11 にローカルメモリ 14 へのアクセスの必要が生じた時は、コプロセッサ 12 に割り込みをかけることによりその動作を中断させる機能が必要に応じて付加される。この割り込みを受け付けたコプロセッサ 12 は、ローカルメモリ 14 へのアクセスを停止し、バス選択指令をローに立下げることによってホストバス 15 をローカルメモリ 14 に接続したのち、動作を停止する。ホストプロセッサ 11 は、ローカルメモリ 14 へのアクセスが終了すると、コプロセッサ 12 に割り込みをかけることによりコプロセッサの動作を再開させる。動作を再開したコプロセッサ 12 は、中断されたローカルメモリ 14 との間の DMA 転送を中断時点からあるいは最初から再実行する。

【0015】なお、ホストプロセッサ 11 は、ホストメモリ 13 に格納中のデータやこのデータの処理のためのプログラムのうちコプロセッサ 12 に必要なものを、その制御に基づき、ホストメモリ 13 からローカルメモリ 14 に DMA 転送させる機能を必要に応じて備える。これとは逆に、ホストプロセッサ 11 は、ローカルメモリ 14 に格納中のコプロセッサ 12 による処理済みデータなどを、その制御に基づき、ローカルメモリ 14 からホ

ストメモリ 13 に DMA 転送させる機能も必要に応じて備える。

【0016】以上、コプロセッサ 12 がキッシュメモリを内蔵すると共に、コプロセッサとローカルメモリ 14 との間のデータ転送を DMA 転送によって行う構成を例示した。しかしながら、そのようなキッシュメモリをコプロセッサ 12 に内蔵せず、コプロセッサ 12 が処理対象のデータなどを逐ローカルメモリ 14 から読出し、処理済みのデータなどを逐ローカルメモリ 14 に書込む構成とすることもできる。

【0017】

【発明の効果】以上詳細に説明したように、本発明のマルチプロセッサ・システムによれば、両プロセッサによるアクセス対象のメモリを原則的には分離し、プロセッサ間のデータの授受などに必要な両プロセッサによるローカルメモリへのアクセスをバス選択回路によって時分的に実行可能としているので、ホストプロセッサによるホストメモリへのアクセスと並行してコプロセッサによるローカルメモリへのアクセスが可能となり、コプロセッサのメモリアクセス待ち時間が短縮される。この結果、コプロセッサの処理の終了に対するホストプロセッサ側の待ち時間も短縮され、システム全体の処理速度が向上する。

【図面の簡単な説明】

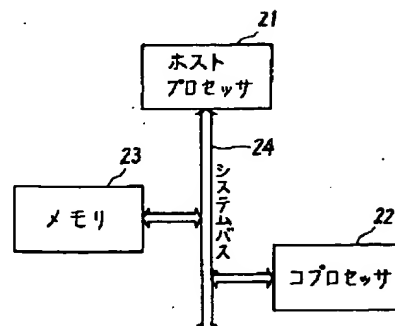
【図 1】本発明の一実施例のマルチプロセッサ・システムの構成を示すブロック図である。

【図 2】従来のマルチプロセッサ・システムの構成を示すブロック図である。

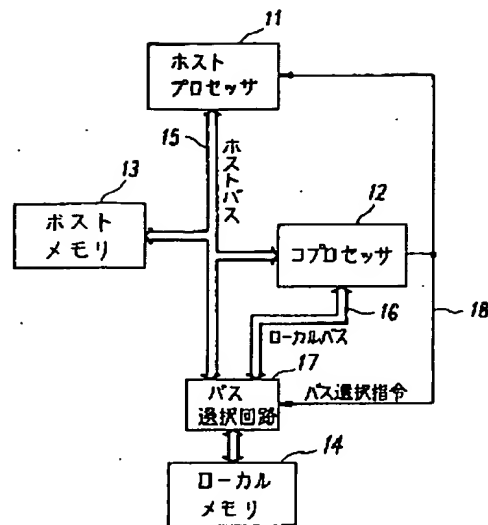
【符号の説明】

- 11 ホストプロセッサ(第 1 のプロセッサ)
- 12 コプロセッサ(第 2 のプロセッサ)
- 13 ホストメモリ(第 1 のメモリ)
- 14 ローカルメモリ(第 2 のメモリ)
- 15 ホストバス(第 1 のバス)
- 16 ローカルバス(第 2 のバス)
- 17 バス選択回路
- 18 バス選択指令信号線

【図 2】



【図 1】



【手続補正書】

【提出日】平成 5 年 1 月 27 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 4

【補正方法】変更

【補正内容】

【請求項 4】 請求項 1 乃至 3 において、

前記第 2 のプロセッサは、キャッシュメモリと、前記第 2 のメモリへのアクセスをこのキャッシュメモリとの間の DMA 転送によって行う手段を備えたことを特徴とするマルチプロセッサ・システム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】ホストメモリ 13 には、ホストプロセッサ 11 によって実行される処理プログラムや、ホストプロセッサ 11 によって処理されるデータやその処理済みデータなどが格納される。ローカルメモリ 14 には、コプロセッサ 12 によって実行される処理プログラムや、コプロセッサ 12 によって処理されるデータやその処理済みデータなどが格納される。ホストプロセッサ 11 は、ホストメモリ 13 に格納されている処理プログラムや処理対象データをホストバス 15 を介して DMA 転送によって内蔵のキャッシュメモリなどに読み込み、データの処理を実行し、その処理済みデータをホストバス 15 を介して DMA 転送によってホストメモリ 13 に書き込む。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】コプロセッサ 12 は、ホストバス 15 を介してホストプロセッサ 11 から受けた指令に従い、ローカルメモリ 14 へのアクセスを含むデータ処理を実行する。コプロセッサ 12 は、ローカルメモリ 14 に格納中の処理データやこれに必要な処理プログラムをローカルバス 16 とバス選択回路 17 とを介して内蔵のキャッシュメモリに DMA 転送によって読み込み、この読み込んだ処理プログラムに従ってデータの処理を実行し、この処理済みデータを一旦内蔵のキャッシュメモリに格納する。コプロセッサ 12 は、内蔵のキャッシュメモリに格納中の一連の処理済みデータをローカルバス 16 とバス選択回路 17 とを介して DMA 転送によってローカルメモリ 14 に書き込む。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】このように、コプロセッサ 12 にキャッシュメモリを内蔵させると共に、ローカルメモリ 14 からのプログラムや処理対象データの読み出しや、ローカルメモリ 14 への処理済みデータの書き込みなどを DMA 転送によって行わせることにより、メモリアクセス期間の離

散化と、メモリアクセス時間の短縮とが可能になる。また、ホストプログラム 11 は、コプロセッサ 12 によるローカルメモリ 14 へのアクセスタイミングに加えてアクセス所要時間を精度良く評価できるため、自プロセッサによる処理と並行してコプロセッサ 12 に一括処理させるデータ量の最適化が容易になり、システム全体の処理能力が大幅に向上する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】コプロセッサ 12 からバス選択回路 17 に供給されるバス選択指令は、信号線 18 を介してホストプロセッサ 11 にも通知される。ホストプロセッサは、バス選択指令信号線 18 のハイ/ローの状態を検査することにより、コプロセッサ 12 がローカルメモリ 14 をアクセス中であるか否かを検出する。ホストプロセッサ 11 は、ローカルメモリ 14 からコプロセッサ 12 が書込んだ処理済みデータなどを読出す際に、バス選択指令

信号線 18 上のバス選択指令を検査する。ホストプロセッサ 11 は、バス選択指令がロー状態にあることからコプロセッサ 12 がローカルメモリ 14 をアクセス中でないと判定すると、ローメモリ 14 からバス選択回路 17 とホストバス 15 を介して DMA 転送によって処理済みデータなどを読出し、内蔵のキャッシュメモリに格納する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】以上、コプロセッサ 12 がキャッシュメモリを内蔵すると共に、コプロセッサとローカルメモリ 14 との間のデータ転送を DMA 転送によって行う構成を例示した。しかしながら、そのようなキャッシュメモリをコプロセッサ 12 に内蔵させずに、コプロセッサ 12 が処理対象のデータなどを逐一ローカルメモリ 14 から読出し、処理済みのデータなどを逐一ローカルメモリ 14 に書込む構成とすることもできる。

フロントページの続き

(72)発明者 赤堀 雅行
大阪市中央区大手通 1 丁目 4 番 12 号 株式会社カプコン内

(72)発明者 藤原 得郎
大阪市中央区大手通 1 丁目 4 番 12 号 株式会社カプコン内

マイコン関係英語翻訳リスト

マイクロプロセッサ	MICROPROCESSOR
映像入出力端子	VIDEO INPUT-OUTPUT CIRCUIT
映像処理回路	VIDEO PROCESSING CIRCUIT
メモリアクセス制御	MEMORY ACCESS CONTROL
ローカルメモリ	LOCAL MEMORY
映像入力処理回路	VIDEO INPUT PROCESSING CIRCUIT
映像出力処理回路	VIDEO OUTPUT PROCESSING CIRCUIT
制御回路	CONTROL CIRCUIT
制御レジスタ	CONTROL REGISTER
映像入力バッファ	VIDEO INPUT BUFFER
映像出力バッファ	VIDEO OUTPUT BUFFER
制御器	CONTROLLER
優先接続制御	PRIORITY CONTROL CIRCUIT
符号化複号回路	CODEC (Encoder/Decoder) CIRCUIT
離散コサイン変換	DISCRETE COSINE TRANSFORM
逆離散コサイン変換	INVERSE DISCRETE COSINE TRANSFORM
動き検出	MOTION ESTIMATION
動き補償	MOTION COMPENSATION
メモリ優先権指定レジスタ	PRIORITY CONTROL REGISTER FOR MEMORY
プロセッサアドレスデコーダ	PROCESSOR ADDRESS DECODER
メモリアクセス権制御回路	ACCESS OWNERSHIP CONTROL CIRCUIT